

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314072

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 29/78
C23C 16/40
H01L 21/316
H01L 21/8242
H01L 27/108

(21)Application number : 2001-120485

(71)Applicant : NEC CORP

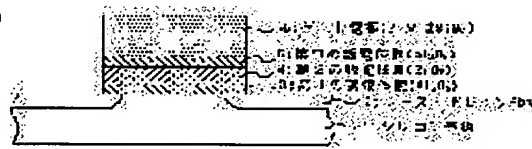
(22)Date of filing : 19.04.2001

(72)Inventor : YAMAMOTO ICHIRO

(54) SEMICONDUCTOR DEVICE WITH HIGH DIELECTRIC THIN FILM AND MANUFACTURING METHOD THEREFOR, AND FILM-FORMING METHOD FOR DIELECTRIC FILM**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor device having a high dielectric thin film exhibiting performance sufficient as the gate insulation film of a MOSFET or the capacitor insulation film of a DRAM, its manufacturing method and a film-forming method for a dielectric film.

SOLUTION: The semiconductor device has such a multilayer structure that a gate electrode 5b of Si or SiGe is formed on a silicon substrate 1 through a dielectric film of three layer structure including a first dielectric film 3 of amorphous metal oxide, e.g. Al₂O₃, a second dielectric film 4 of crystalline oxide, e.g. ZrO₂ or HfO₂, and a third dielectric film 6 of amorphous metal oxide, e.g. Al₂O₃. Since an amorphous metal oxide is interposed between an crystalline oxide and Si, the crystalline oxide can be formed with a uniform film thickness while suppressing the reaction of Zr and Si in a reducing atmosphere at the time of forming an electrode or in an impurity ion implanting process or a heat treating process thus avoiding an increase of leak current or lowering of capacity.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314072

(P2002-314072A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 29/78		C 2 3 C 16/40	4 K 0 3 0
C 2 3 C 16/40		H 0 1 L 21/316	M 5 F 0 5 8
H 0 1 L 21/316		29/78	3 0 1 G 5 F 0 8 3
21/8242		27/10	6 2 1 B 5 F 1 4 0
27/108			

審査請求 未請求 請求項の数20 O L (全 11 頁)

(21) 出願番号 特願2001-120485(P2001-120485)

(22) 出願日 平成13年4月19日 (2001. 4. 19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100114672

弁理士 宮本 恵司

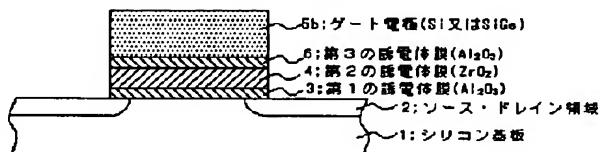
最終頁に続く

(54) 【発明の名称】 高誘電体薄膜を備えた半導体装置及びその製造方法並びに誘電体膜の成膜装置

(57) 【要約】

【課題】 MOSFET のゲート絶縁膜や DRAM のキャパシタ絶縁膜として十分な性能を有する高誘電体薄膜を備えた半導体装置及びその製造方法並びに誘電体膜の成膜装置の提供。

【解決手段】 シリコン基板 1 上に、 Al_2O_3 等の非晶質金属酸化物からなる第 1 の誘電体膜 3 と ZrO_2 、 HfO_2 等の結晶性酸化物からなる第 2 の誘電体膜 4 と Al_2O_3 等の非晶質金属酸化物からなる第 3 の誘電体膜 6 とを含む 3 層構造の誘電体膜を介して、Si 又は SiGe からなるゲート電極 5b が形成された積層構造を有するものであり、結晶性酸化物と Si との間に非晶質金属酸化物を介在させることにより、結晶性酸化物を均一な膜厚で形成すると共に、電極形成時の還元雰囲気や不純物イオン注入及び熱処理工程における Zr 等と Si との反応を抑制し、リーク電流の増大や容量の低下を回避する。



【特許請求の範囲】

【請求項 1】 Si 上に誘電体膜を介して金属又は金属窒化物からなる電極が形成されてなる構造を少なくとも一部に有する半導体装置において、

前記誘電体膜が、前記 Si 側から、非晶質金属酸化物と結晶性酸化物とで構成されることを特徴とする半導体装置。

【請求項 2】 Si 上に誘電体膜を介して Si 又は SiGe からなる電極が形成されてなる構造を少なくとも一部に有する半導体装置において、

前記誘電体膜が、前記 Si 側から、第 1 の非晶質酸化物と結晶性酸化物と第 2 の非晶質酸化物とで構成されることを特徴とする半導体装置。

【請求項 3】 前記非晶質金属酸化物が、 Al_2O_3 を含む金属酸化物であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の非晶質酸化物が、 SiO_2 又は Al_2O_3 を含む金属酸化物であり、前記第 2 の非晶質酸化物が、 Al_2O_3 を含む金属酸化物であることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 前記非晶質金属酸化物又は前記非晶質酸化物の膜厚が、 $2 \sim 20 \text{ \AA}$ の範囲であることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 6】 前記非晶質金属酸化物又は前記非晶質酸化物の膜厚が、 $5 \sim 10 \text{ \AA}$ の範囲であることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 7】 前記結晶性酸化物が、 ZrO_2 、 HfO_2 、 TiO_2 、 Ta_2O_5 、BST、STO、PZT のいずれか又は二以上の積層により構成されることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】 前記結晶性酸化物の膜厚が、 $10 \sim 50 \text{ \AA}$ の範囲であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記誘電体膜の内、前記非晶質金属酸化物又は少なくとも前記 Si 側に配設される前記非晶質酸化物が、ALD により形成された膜であることを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】 請求項 1 乃至 9 のいずれかに記載の前記誘電体膜が、ゲート絶縁膜として形成されていることを特徴とする MOSFET。

【請求項 11】 請求項 1 乃至 9 のいずれかに記載の前記誘電体膜が、キャパシタの容量絶縁膜として形成されていることを特徴とする DRAM。

【請求項 12】 Si 上に、非晶質金属酸化物と結晶性酸化物とからなる誘電体膜と、金属又は金属窒化物からなる電極とを形成する半導体装置の製造方法であって、前記非晶質金属酸化物を成膜する前に、前記 Si 表面を水素で終端する工程と、成膜装置内で前記 Si 表面の水素を脱離した後、前記非晶質金属酸化物を成膜する工程

とを含むことを特徴とする半導体装置の製造方法。

【請求項 13】 Si 上に、第 1 の非晶質酸化物と結晶性酸化物と第 2 の非晶質酸化物とからなる誘電体膜と、Si 又は SiGe からなる電極とを形成する半導体装置の製造方法であって、

前記第 1 の非晶質酸化物を形成する前に、前記 Si 表面を水素で終端する工程と、成膜装置内で前記 Si 表面の水素を脱離した後、前記第 1 の非晶質酸化物を成膜する工程とを含むことを特徴とする半導体装置の製造方法。

10 【請求項 14】 前記非晶質金属酸化物が、 Al_2O_3 を含む金属酸化物であることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 15】 前記第 1 の非晶質酸化物が、 SiO_2 又は Al_2O_3 を含む金属酸化物であり、前記第 2 の非晶質酸化物が、 Al_2O_3 を含む金属酸化物であることを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 16】 前記結晶性酸化物を、 ZrO_2 、 HfO_2 、 TiO_2 、 Ta_2O_5 、BST、STO、PZT のいずれか又は二以上の積層により形成することを特徴とする請求項 12 乃至 15 のいずれかに記載の半導体装置の製造方法。

【請求項 17】 前記水素脱離処理と前記成膜とを、ALD 装置により行うことを特徴とする請求項 12 乃至 16 のいずれかに記載の半導体装置の製造方法。

【請求項 18】 請求項 12 乃至 17 のいずれかに記載の方法により、前記誘電体膜をゲート絶縁膜として形成することを特徴とする MOSFET の製造方法。

【請求項 19】 請求項 12 乃至 17 のいずれかに記載の方法により、前記誘電体膜をキャパシタの容量絶縁膜として形成することを特徴とする DRAM の製造方法。

【請求項 20】 試料表面に終端した水素を脱離する加熱チャンバと、前記試料の搬送を行う搬送チャンバと、原子層レベルで誘電体膜を成膜する成膜チャンバとを備えたことを特徴とする誘電体膜の成膜装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高誘電体薄膜を備えた半導体装置及びその製造方法並びに誘電体膜の成膜装置に関する。

【0002】

【従来の技術】 シリコン酸化膜はプロセス上の安定性や絶縁特性に優れ、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) のゲート絶縁膜材料として広く用いられてきたが、近年、半導体装置の微細化、高集積化によりゲート絶縁膜の薄膜化が求められており、スケーリング則の要請からシリコン酸化膜は数 nm 以下の膜厚で成膜することが必要となっている。しかし、この様な極薄のシリコン酸化膜をゲート絶縁膜として用いた場合、ゲートバイアス印加時のトンネル電流がソース/ドレイン電流に対して無視できない値となり、

MOSFETの高性能化と低消費電力化における大きな課題となる。

【0003】そこで、実効的なゲート絶縁膜の膜厚を薄くし、かつ、トンネル電流を抑える方法として、比誘電率3.9であるシリコン酸化膜に代えて、比誘電率6以上の薄膜材料をゲート絶縁膜に用いる方法が検討されている。この種の高誘電体薄膜材料としては、 Al_2O_3 、 ZrO_2 や HfO_2 、および Y_2O_3 などの希土類元素酸化物、さらにはランタノイド系元素の酸化物が候補材料として挙げられる。

【0004】ここで、上記高誘電率膜をゲート絶縁膜として用いた従来のMOSFETについて、図9及び図10を参照して説明する。図9は非晶質酸化物である酸化アルミニウム(Al_2O_3)18をゲート絶縁膜として用い、その上層に金属からなるゲート電極5aを形成した構造を示す図であり、図10はシリコン酸化膜17を介して結晶性酸化物である酸化ジルコニウム(ZrO_2)19を形成し、その上層に金属からなるゲート電極5a形成した構造を示す図である。

【0005】このような比誘電率が10程度の Al_2O_3 や誘電率が25程度の ZrO_2 を用いることによって、シリコン酸化膜のみで誘電体層を構成する場合に比べて SiO_2 換算膜厚を小さくすることができる。

【0006】

【発明が解決しようとする課題】上記高誘電体薄膜はゲート絶縁膜として優れた特性を有するが、これらの高誘電体薄膜の中でも比誘電率の大きい ZrO_2 等のような結晶性酸化物は、 Si 上に直接形成しようとするときアイランド化してしまい、膜厚が均一にならないという問題がある。そこで、ゲート絶縁膜としてこのような結晶性酸化物を用いる場合には、図10に示すようにシリコン基板1との界面にシリコン酸化膜17を形成する必要がある。

【0007】しかしながら、結晶性酸化物に比べて比誘電率が著しく低いシリコン酸化膜17が界面に形成されると、実効的な絶縁層厚(換算膜厚)が増加し、更に、シリコン酸化膜17は酸素を通しやすいため、後の熱処理工程で酸素がシリコン基板1界面に供給されてシリコン酸化膜が成長してしまい、例えば、換算膜厚で1nm(10Å)程度の絶縁膜を形成しようとしても、シリコン酸化膜17が0.6nm(6Å)程度にまで成長してしまい、ゲート絶縁膜として所望の性能を得ることができなくなってしまう。

【0008】そこで、結晶性酸化物に代えて、図9に示すようにシリコン基板1上に直接形成することができる Al_2O_3 のような非晶質金属酸化物を形成することもできるが、非晶質酸化物の比誘電率はシリコン酸化膜17よりも大きいものが高々10程度であり、 ZrO_2 のような結晶性酸化物に比べて遙かに小さく、今後の更なる半導体装置の微細化に対応することは困難である。

【0009】また、シリコン酸化膜17を介して結晶性酸化物を形成したとしても、その上層に形成するゲート電極を Si 又は $SiGe$ で形成する場合には、 Si 又は $SiGe$ 成膜時の還元雰囲気が ZrO_2 の粒界に作用して ZrO_2 が部分的に還元されてしまったり、 Si 又は $SiGe$ に対して行う不純物イオン注入やアニールの際に Zr と Si とが反応し、その結果、誘電体膜の絶縁容量が低下したり、ショートによりリーク電流が増大するという問題がある。

【0010】更に、このような問題はMOSFETのゲート絶縁膜に限らず、DRAM(Dynamic Random Access Memory)のキャパシタの絶縁膜に関しても同様に生じる。すなわち、DRAM等の半導体記憶装置においても高集積化に伴い、キャパシタが占有できる面積は小さくなる一方で、ソフトエラー耐性等の信頼性を向上させるためにキャパシタ容量の増加が望まれている。

【0011】キャパシタの容量を増加させる方法として、キャパシタにHSG(Hemi-Spherical Grains)を形成する方法等があり、HSG技術を用いることによって、平坦な面に比べて2倍以上の表面積を有するキャパシタを形成することができる。しかしながら、キャパシタの面積を増加させるだけではDRAMの高集積化に対応できず、キャパシタ絶縁膜として上記高誘電体材料を用いる方法が検討されているが、ポリシリコンからなる下部電極上に上記結晶性酸化物を形成する場合や、結晶性酸化物上にポリシリコンからなる上部電極を形成する構造のキャパシタでは、やはり結晶性酸化物を下部電極上に直接形成することができないという問題や、結晶性酸化物上に上部電極を形成すると絶縁容量の低下を招いてしまうという問題が生じる。

【0012】本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、MOSFETのゲート絶縁膜やDRAMのキャパシタ絶縁膜として十分な性能を有する高誘電体薄膜を備えた半導体装置及びその製造方法並びに誘電体膜の成膜装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、 Si 上に誘電体膜を介して金属又は金属窒化物からなる電極が形成されてなる構造を少なくとも一部に有する半導体装置において、前記誘電体膜が、前記 Si 側から、非晶質金属酸化物と結晶性酸化物とで構成されるものである。

【0014】また、本発明の半導体装置は、 Si 上に誘電体膜を介して Si 又は $SiGe$ からなる電極が形成されてなる構造を少なくとも一部に有する半導体装置において、前記誘電体膜が、前記 Si 側から、第1の非晶質酸化物と結晶性酸化物と第2の非晶質酸化物とで構成されるものである。

【0015】本発明においては、前記非晶質金属酸化物が、 Al_2O_3 を含む金属酸化物であり、また、前記第

1 の非晶質酸化物が、 SiO_2 又は Al_2O_3 を含む金属酸化物であり、前記第 2 の非晶質酸化物が、 Al_2O_3 を含む金属酸化物である構成とすることができ、前記非晶質金属酸化物又は前記非晶質酸化物の膜厚が、 $2 \sim 20 \text{ \AA}$ の範囲、又は、 $5 \sim 10 \text{ \AA}$ の範囲であることが好ましい。

【0016】また、本発明においては、前記結晶性酸化物が、 ZrO_2 、 HfO_2 、 TiO_2 、 Ta_2O_5 、 BST 、 STO 、 PZT のいずれか一又は二以上の積層により構成され、前記結晶性酸化物の膜厚が、 $10 \sim 50 \text{ \AA}$ の範囲であることが好ましい。

【0017】また、本発明においては、前記誘電体膜の内、前記非晶質金属酸化物又は少なくとも前記 Si 側に配設される前記非晶質酸化物が、 ALD により形成された膜であることが好ましい。

【0018】本発明の MOSFET は、上記誘電体膜が、ゲート絶縁膜として形成されているものである。

【0019】また、本発明の DRAM は、上記誘電体膜が、キャパシタの容量絶縁膜として形成されているものである。

【0020】また、本発明の製造方法は、 Si 上に、非晶質金属酸化物と結晶性酸化物とからなる誘電体膜と、金属又は金属窒化物からなる電極とを形成する半導体装置の製造方法であって、前記非晶質金属酸化物を成膜する前に、前記 Si 表面を水素で終端する工程と、成膜装置内で前記 Si 表面の水素を脱離した後、前記非晶質金属酸化物を成膜する工程とを含むものである。

【0021】また、本発明の製造方法は、 Si 上に、第 1 の非晶質酸化物と結晶性酸化物と第 2 の非晶質酸化物とからなる誘電体膜と、 Si 又は SiGe からなる電極とを形成する半導体装置の製造方法であって、前記第 1 の非晶質酸化物を形成する前に、前記 Si 表面を水素で終端する工程と、成膜装置内で前記 Si 表面の水素を脱離した後、前記第 1 の非晶質酸化物を成膜する工程とを含むものである。

【0022】更に、本発明の成膜装置は、試料表面に終端した水素を脱離する加熱チャンバと、前記試料の搬送を行う搬送チャンバと、原子層レベルで誘電体膜を成膜する成膜チャンバとを備えたものである。

【0023】このように、本発明は上記構成により、結晶性酸化物をアイランド化することなく Si 上に均一な膜厚で形成し、かつ、リーク電流の増加や容量の低下を防止することができる。

【0024】

【発明の実施の形態】本発明に係る高誘電体薄膜を備えた半導体装置は、その好ましい一実施の形態において、 Si 上に、 Al_2O_3 等の非晶質金属酸化物からなる第 1 の誘電体膜及び ZrO_2 、 HfO_2 等の結晶性酸化物からなる第 2 の誘電体膜の 2 層構造、又は、その上に Al_2O_3 等の非晶質金属酸化物からなる第 3 の誘電体膜

を含む 3 層構造の誘電体膜を介して、金属又は Si 等からなる電極が形成された積層構造を有するものであり、結晶性酸化物と Si との間に非晶質金属酸化物を介在させることにより、結晶性酸化物を均一な膜厚で形成すると共に、電極形成時の還元雰囲気や不純物イオン注入及び熱処理工程における Zr 等と Si との反応を抑制し、リーク電流が増大や容量が低下を回避することができる。

【0025】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0026】[実施例 1] まず、本発明の第 1 の実施例に係る高誘電体薄膜を備えた半導体装置及びその製造方法について、図 1 及び図 2 を参照して説明する。図 1 は、 MOSFET のゲート部の構造を模式的に示す断面図であり、図 2 はその製造方法の一部を示す工程断面図である。なお、本実施例は実施の形態に示した積層構造の高誘電体薄膜を MOSFET のゲート絶縁膜に適用した例について記載するものであり、ゲート部以外については一般的な MOSFET と同様の構造であるため、説明は省略する。

【0027】図 1 に示すように、本実施例の MOSFET は、所定の不純物を注入したソース・ドレイン領域 2 が形成されたシリコン基板 1 上に、 Al_2O_3 等の非晶質金属酸化物からなる第 1 の誘電体膜 3 と ZrO_2 等の結晶性酸化物からなる第 2 の誘電体薄膜 4 とが積層され、その上に金属からなるゲート電極 5 a が形成されている。

【0028】従来技術で説明したように、比誘電率の高い ZrO_2 等の結晶性酸化物は、シリコン基板 1 上に直接形成するとアイランド化してしまい均一な膜厚に形成することができない。そこで、従来はシリコン酸化膜を介して結晶性酸化物を形成していたが、比誘電率の低いシリコン酸化膜が介在すると積層構造の誘電体膜全体の比誘電率は著しく低下してしまい、ゲート絶縁膜として所望の性能を得ることができない。

【0029】一方、本願発明者の知見によれば、 ZrO_2 のような結晶性酸化物はシリコン基板 1 上には直接、均一な膜厚で形成することはできないが、 Al_2O_3 等の非晶質金属酸化物の上であれば、アイランド化することなく平坦に形成できることを確認している。そこで、 ZrO_2 等の結晶性酸化物とシリコン基板 1 との間に Al_2O_3 等の非晶質金属酸化物を介在させる構造とすれば、シリコン酸化膜を用いなくてもシリコン基板 1 上に結晶性酸化物を形成することが可能となる。

【0030】上記構造においては、 Al_2O_3 の比誘電率がシリコン酸化膜に比べて大きいので、積層膜全体として換算膜厚を小さくすることができると共に、 Al_2O_3 は酸素を通しにくい性質を有しているため、その上

層に配設する結晶性酸化物やゲート電極を形成する際の高温雰囲気においてもシリコン基板 1 に酸素が供給されることがなく、界面におけるシリコン酸化膜の形成を抑制することができ、従来例のように、シリコン酸化膜の膜厚が増加すると言う問題を回避することができる。

【0031】上記積層構造のゲート絶縁膜を形成する具体的方法について、図 2 を参照して説明する。まず、図 2 (a) に示すように、LOCOS 法あるいは STI 法等によりシリコン基板 1 に素子分離絶縁膜 (図示せず) を形成した後、素子分離絶縁膜により分離された素子領域に DHF 処理を施し、シリコン基板 1 表面を水素終端する。この水素終端処理は、シリコン基板 1 表面に酸化膜が形成されるのを防ぎ、表面を清浄な状態に維持するために行うものである。

【0032】次に、図 2 (b) に示すように、試料を ALD (Atomic-Layer Deposition) 装置 (ALE 装置とも呼ばれる) に投入し、例えば、400℃程度の温度で加熱してシリコン基板 1 表面の水素を脱離させた後、 $\text{Al}(\text{CH}_3)_3$ と O_3 又は H_2O とを原料ガスとして導入し、300℃程度の温度で Al_2O_3 を 2~20 Å (0.2~2 nm)、好ましくは 5~10 Å (0.5~1 nm) 形成する。この Al_2O_3 はその上層に形成する ZrO_2 のシード層として機能すると共に酸素バリアとしても働き、その後の熱処理工程によってシリコン基板 1 界面にシリコン酸化膜が成長することを防止することができる。

【0033】なお、 Al_2O_3 は熱 CVD 法やスパッタ法で形成することができるが、比誘電率が結晶性酸化物に比べて小さいことから、その膜厚は極力薄くかつ均一に形成する必要がある、その観点から ALD を用いて成膜することが好ましい。

【0034】次に、図 2 (c) に示すように、ALD 装置内に、 ZrCl_4 と O_3 又は H_2O とを原料ガスとして導入し、300℃程度の温度で ZrO_2 を 10~50 Å (1~5 nm) 形成する。 ZrO_2 の成長に際して、 Al_2O_3 がシード層として機能するために、 Al_2O_3 上に均一に成膜することができ、シリコン基板に直接成長したときに生じるアイランド化を防止することができる。

【0035】なお、 ZrO_2 は Al_2O_3 に比べて成膜する膜厚が厚いため、成膜方法は ALD 法に限定されず、熱 CVD 法やスパッタ法で形成してもよい。また、膜厚は積層膜全体として要求される性能を達成できるように、下層の Al_2O_3 の膜厚を考慮して適宜調整すればよい。また、 ZrO_2 に代えて HfO_2 を成膜する場合には、原料ガスとして HfCl_4 と O_3 又は H_2O とを用い、300℃程度の温度条件で成膜することができる。

【0036】その後、図 2 (d) に示すように、Ti、N、Al、Ru 等の金属又は金属窒化物からなるゲート

電極 5a をスパッタ法により堆積した後、公知のリソグラフィ技術、エッチング技術を用いてゲート電極 5a、 ZrO_2 (第 2 の誘電体膜 4)、 Al_2O_3 (第 1 の誘電体膜 3) を順次パターニングして、MOSFET のゲート部を形成する。その後、所定の不純物イオンを注入してソース・ドレイン領域 2 を形成する。

【0037】このように、本実施例の MOSFET のゲート構造及びその製造方法によれば、比誘電率の高い ZrO_2 等の結晶性誘電体膜を形成するに際し、 Al_2O_3 等の非晶質誘電体膜を下地膜として形成しておくことにより、 Al_2O_3 が ZrO_2 のシード層として働くため、 ZrO_2 を均一な膜厚で成膜することができ、また、 Al_2O_3 が酸素バリアとなるため、 ZrO_2 やゲート電極 5a の成膜時の熱処理によってシリコン基板 1 界面にシリコン酸化膜が成長することを防止することができる。そして、比誘電率の低いシリコン酸化膜を形成する必要がないため、換算膜厚を小さくすることができ、高集積化に対応可能な高誘電体薄膜を形成することができる。

【0038】[実施例 2] 次に、本発明の第 2 の実施例に係る等誘電率薄膜を備えた半導体装置及びその製造方法について、図 3 乃至図 5 を参照して説明する。図 3 は、MOSFET のゲート部の構造を模式的に示す断面図であり、図 4 は、その製造方法の一部を示す工程断面図である。また、図 5 は、MOSFET のゲート部の他の構造を模式的に示す断面図である。

【0039】図 3 に示すように、本実施例の MOSFET は、所定の不純物イオンを注入したソース・ドレイン領域が形成されたシリコン基板 1 上に Al_2O_3 等の非晶質金属酸化物からなる第 1 の誘電体膜 3 と ZrO_2 等の結晶性酸化物からなる第 2 の誘電体膜 4 と Al_2O_3 等の非晶質金属酸化物からなる第 3 の誘電体膜 6 とが積層され、その上に Si 又は SiGe 等からなるゲート電極 5b が形成されている。

【0040】前記した第 1 の実施例で説明したように、 ZrO_2 等の結晶性酸化物はシリコン基板 1 上には直接平坦に形成することができないが、 Al_2O_3 等の非晶質金属酸化物の上であれば、アイランド化することなく平坦に形成できるため、 ZrO_2 等の結晶性酸化物とシリコン基板 1 との間に Al_2O_3 等の非晶質金属酸化物からなる第 1 の誘電体膜 3 を介在させている。

【0041】更に、ゲート電極 5b として Si 又は SiGe を用いる場合、 ZrO_2 上に直接 Si 又は SiGe を形成すると、成膜時の還元雰囲気は ZrO_2 の粒界に作用して ZrO_2 が部分的に還元されてしまい、その結果リーク電流が増大するという問題が生じる。そこで、本実施例では、 ZrO_2 の上に更に Al_2O_3 等の非晶質金属酸化物からなる第 3 の誘電体膜 6 を形成し、Si 又は SiGe 電極形成時の還元雰囲気に ZrO_2 が直接に接することを防止し、上記問題を回避している。

【0042】上記積層構造のゲート絶縁膜を形成する具体的方法について、図4を参照して説明すると、前記した第1の実施例と同様に、LOCOS法あるいはSTI法等によりシリコン基板1に素子分離絶縁膜を形成した後、素子分離絶縁膜により分離された素子領域にDHF処理を施し、シリコン基板1表面を水素終端する(図4(a)参照)。

【0043】次に、図4(b)に示すように、試料をALD装置に導入し、例えば、400℃程度の温度で加熱してシリコン基板1表面の水素を脱離させた後、Al(CH₃)₃とO₃又はH₂Oとを原料ガスとして導入し、300℃程度の温度でAl₂O₃を2~20Å、好ましくは5~10Åの膜厚で形成する。このAl₂O₃は、前記した第1の実施例と同様に、その上層に形成するZrO₂のシード層として機能すると共に、酸素バリアとしても働き、その後の工程の熱処理によってシリコン基板界面にシリコン酸化膜が成長することを防止することができる。なお、Al₂O₃は熱CVD法やスパッタ法で形成することができるが、膜質の均一性を確保するためにALDを用いることが好ましい。また、Al₂O₃に代えてシリコン基板1に5~10Åのごく薄い熱酸化膜を形成しても良い。

【0044】次に、図4(c)に示すように、ALD装置にZrCl₄とO₃又はH₂Oとを原料ガスとして導入し、300℃程度の温度条件でZrO₂を10~50Åの膜厚で形成する。なお、ZrO₂はAl₂O₃に比べて成膜する膜厚が厚いため、成膜方法はALD法に限定されず、熱CVD法やスパッタ法で形成してもよい。

【0045】前記した第1の実施例では、ZrO₂の上に金属又は金属窒化物からなるゲート電極を形成したが、本実施例ではゲート電極5bとしてSi又はSiGeを用いるため、上述したようにZrO₂の上に直接ゲート電極5bを形成することができない。そこで、図4(d)に示すように、ALD装置に再びAl(CH₃)₃とO₃又はH₂Oとを導入し、300℃程度の温度条件でAl₂O₃を所定の膜厚で形成することを特徴としている。なお、このAl₂O₃は、熱CVD法やスパッタ法で形成してもよく、その膜厚は積層膜全体として所望の性能を達成できるように適宜設定すればよい。

【0046】その後、図4(e)に示すように、Si、SiGe等をCVD法により堆積し、不純物イオンの注入と熱処理とを行うが、その際、ZrO₂上に直接Si、SiGeを形成する場合には電極形成時の還元雰囲気中でZrO₂が還元されたりZrO₂とSiが反応して、リーク電流が増加したり容量が低下するという問題が生じるが、本実施例では、ZrO₂とSi又はSiGeとの間にAl₂O₃が介在しているため、ZrO₂が還元雰囲気中に曝されるのを防止し、また、ZrO₂とSiとの反応を抑制するために、上記問題を回避することができる。

【0047】その後、公知のリソグラフィ技術、エッチング技術を用いてゲート電極5b、Al₂O₃(第3の誘電体膜6)、ZrO₂(第2の誘電体膜4)、Al₂O₃(第1の誘電体膜3)を順次パターニングして本実施例のゲート構造を形成する。

【0048】このように、本実施例のMOSFETのゲート構造及びその製造方法によれば、ZrO₂等の結晶性誘電体膜を形成するに際し、Al₂O₃等の非晶質誘電体膜を下地膜及び保護膜として形成することにより、ZrO₂を均一な膜厚で形成することができると共に、Si又はSiGeからなるゲート電極形成時の還元雰囲気や不純物イオン注入及び熱処理によってZrO₂が反応してリーク電流が増大したり容量が低下するという問題を回避することができる。

【0049】なお、上記各実施例では、シリコン界面にシリコン酸化膜が形成されていない構造について記載したが、本発明では下層に形成するAl₂O₃からなる第1の誘電体膜3が酸素バリアとして働くため、後の熱処理工程でシリコン界面にシリコン酸化膜が成長する恐れがない。従って、積層膜全体として所望の性能を達成できる限りにおいて、シリコン界面(例えば、図5(a)、(b)に示すようにシリコン基板1と第1の誘電体膜3との間、又は図5(c)に示すようにシリコン基板1と第1の誘電体膜3との間及び第3の誘電体膜6とゲート電極5bとの間)にシリコン酸化膜17が介在する構成としても良い。

【0050】また、上記実施例では、積層構造の誘電体膜をゲート絶縁膜として用いる例について説明したが、本発明は上記実施例に限定されるものではなく、比誘電率の高い誘電体膜を必要とする任意の半導体装置に適用することができ、例えば、後述する第3の実施例に示すようにDRAM等のキャパシタ絶縁膜として本発明の高誘電体薄膜を適用しても良い。

【0051】[実施例3] 次に、本発明の第3の実施例に係る高誘電体薄膜を備えた半導体装置及びその製造方法について、図6及び図7を参照して説明する。図6は、DRAMのキャパシタの構造を模式的に示す断面図であり、図7は、その製造方法の一部を示す工程断面図である。なお、本実施例は前記した第1及び第2の実施例に示した積層誘電体膜構造をDRAMのキャパシタ、特に、誘電体膜の上部電極及び下部電極のそれぞれにポリシリコン等の半導体を用いたSIS(Semiconductor Insulator Semiconductor)構造のキャパシタに適用した例について記載するものである。

【0052】図6に示すように、本実施例のDRAMは、絶縁膜8が形成されたシリコン基板1にプラグ7が埋設され、その上層には例えば、不純物を添加したポリシリコン等からなる下部電極9が接続されている。そして、下部電極9の上には前記した第2の実施例に示したAl₂O₃/ZrO₂/Al₂O₃の積層構造の誘電体

層 3、4、6 が形成され、更にその上層には不純物を添加したポリシリコン等からなる上部電極 10 が設けられている。

【0053】上記構造の DRAM の製造方法について図 7 を参照して説明する。なお、キャパシタ以外の部分は一般的な DRAM と同様の構造であるため、説明は省略する。まず、図 7 (a) に示すように、トランジスタ

(図示せず) が形成されたシリコン基板 1 に絶縁膜 8 を形成した後、所定の開口を形成し、例えば CVD 法により不純物を含有したポリシリコンを堆積して開口内部を埋設し、開口部外部に堆積したポリシリコンをドライエッチングにより除去してプラグ 7 を形成する。

【0054】次に、図 7 (b) に示すように、その上層に、例えば CVD 法等により不純物を添加したポリシリコンを堆積した後、所定の形状に加工して下部電極 9 を形成し、その後、DHF 処理を施して下部電極 9 表面を水素終端する。

【0055】次に、図 7 (c) に示すように、試料を ALD 装置に投入し、例えば、400℃程度の温度で加熱して下部電極 9 表面の水素を脱離させた後、前記した第 2 の実施例と同様に、 Al_2O_3 (第 1 の誘電体膜 3) を 2~20 Å、好ましくは 5~10 Å、 ZrO_2 (第 2 の誘電体膜 4) を 10~50 Å、 Al_2O_3 (第 3 の誘電体膜 6) を所定の膜厚で順次形成する。

【0056】なお、原料ガスとしては、 Al_2O_3 は、 $Al(CH_3)_3$ と O_3 又は H_2O を、 ZrO_2 は、 $ZrCl_4$ と O_3 又は H_2O を用い、共に 300℃程度の温度条件で成膜する。また、第 1 の誘電体膜 3 である Al_2O_3 は膜質の均一性を確保するために ALD で形成することが好ましいが、 ZrO_2 及び第 3 の誘電体膜 6 である Al_2O_3 は ALD 法に限定されず、熱 CVD 法やスパッタ法で形成してもよい。

【0057】その後、図 7 (d) に示すように、CVD 法によりポリシリコンを堆積した後、不純物イオンの注入、熱処理を施し、公知のリソグラフィ技術、エッチング技術を用いて上部電極 10 をパターンニングして本実施例の DRAM のキャパシタが形成される。

【0058】このように、本実施例の DRAM のキャパシタ構造及びその製造方法によれば、 ZrO_2 等の結晶性誘電体膜を形成するに際し、 Al_2O_3 等の非晶質誘電体膜を下地膜及び保護膜として形成することにより、 ZrO_2 を均一な膜厚で形成することができると共に、ポリシリコンからなる上部電極 10 形成時の還元雰囲気や不純物イオン注入及び熱処理によって ZrO_2 が反応してリーク電流が増大したり容量が低下するという問題を回避することができる。

【0059】なお、上記の実施例は、キャパシタの上部電極 10 及び下部電極 9 のそれぞれにポリシリコン等の半導体を用いた SIS 構造について記載したが、本発明は上部電極 10 又は下部電極 9 の少なくとも一方にポリ

シリコンを用いる構造に適用することができ、例えば、下部電極 9 にポリシリコンを用いる場合には下部電極 9 と ZrO_2 との間に Al_2O_3 (第 1 の誘電体膜 3) を介在させて ZrO_2 を均一な膜厚で成膜することができ、また、上部電極 10 にポリシリコンを用いる場合には上部電極 10 と ZrO_2 との間に Al_2O_3 (第 3 の誘電体膜 6) を介在させて ZrO_2 とポリシリコンとの反応を抑制し、リーク電流の増加や容量の低下を防止することができる。

【0060】また、上記第 1 乃至第 3 の実施例では、非晶質誘電体として Al_2O_3 を用い、結晶性誘電体膜として ZrO_2 を用いた例について記載したが、本発明は上記実施例に限定されるものではなく、非晶質誘電体として Al_2O_3 に HfO_2 、 ZrO_2 、 La_2O_3 、 Y_2O_3 などを添加した複合誘電体を用いることもでき、結晶性誘電体膜として HfO_2 、 TiO_2 、 Ta_2O_5 、BST (チタン酸バリウムストロンチウム)、STO (チタン酸ストロンチウム)、PZT (ジルコン酸チタン酸鉛) 等を用いることもできる。

【0061】〔実施例 4〕次に、本発明の第 4 の実施例に係る高誘電体薄膜の成膜装置について、図 8 を参照して説明する。図 8 は、ALD 装置の構造を模式的に示す図である。なお、本実施例は前記した第 1 乃至第 3 の実施例に示した高誘電体薄膜を形成する装置について記載するものである。

【0062】本発明の積層構造の誘電体膜は、MOSFET の微細化や耐絶縁性向上、DRAM キャパシタの容量増大を目的として薄くかつ均一に形成することを特徴とするものであり、特に、下地層となる Al_2O_3 (第 1 の誘電体膜 3) は、積層膜全体の換算膜厚を小さくし、その上層に形成する ZrO_2 等の結晶性誘電体膜の膜厚を均一にするために、Å オーダーで制御する必要があり、そのために膜厚を原子層レベルで制御可能な ALD 装置を用いることが好ましいが、ALD 装置でシリコン基板上に Al_2O_3 を成膜するにあたって、シリコン表面に終端された水素を脱離する必要がある。

【0063】この水素脱離処理は、例えば、400℃以上の温度雰囲気で行われるのに対し、 Al_2O_3 の成膜は 300℃程度であり、一般的な ALD 装置を用いてこれらの処理を連続して行うとすると、一旦試料の温度を 400℃以上に上げて水素脱離処理を行い、その後、試料の温度が 300℃程度まで下がるまで待ってから成膜を行わなければならない。そしてこの一連の動作をウェハ毎に行うとすると、ALD 装置での処理工数が増加し、半導体装置のコストの上昇を招いてしまう。

【0064】そこで本実施例では、図 8 に示すように、ALD 装置に処理待ち及び処理済みの試料を格納する試料導入室 13、試料に所定の膜を成膜する反応室 12、試料を順次搬送する搬送系に加え、水素の脱離処理を行う水素脱離室 11 を設け、水素脱離室 11 において加熱

ランプ 16 で水素脱離処理を施すことにより、処理温度の異なる水素脱離処理と誘電体膜の成膜とを連続して処理することを可能とするものである。このように、成膜処理と前処理を行うチャンバを別々に設けることによって、温度が安定するまで待つことなく、連続して処理を行うことができるため、半導体装置の処理工数を削減し、半導体装置の製造コストを低減することができる。

【0065】なお、本実施例はALD装置について記載したが、本発明は、成膜温度と水素脱離処理等の前処理の温度とが異なる工程、特に、成膜温度よりも水素脱離処理等の前処理の温度が高く設定される工程に使用される任意の成膜装置、例えば、減圧CVD装置、常圧CVD装置、プラズマCVD装置、エピタキシャル装置等に適用することができる。

【0066】

【発明の効果】以上説明したように、本発明の高誘電体薄膜を備えた半導体装置及びその製造方法によれば、高誘電体薄膜として、 ZrO_2 等の結晶性酸化物/ Al_2O_3 等の非晶質金属酸化物の2層構造、又は、 Al_2O_3 等の非晶質金属酸化物/ ZrO_2 等の結晶性酸化物/ Al_2O_3 等の非晶質金属酸化物の3層構造を適用することにより、結晶性酸化物をアイランド化することなく均一な膜厚で形成することができ、また、 SiO_2 換算膜厚の増加を防ぐことができる。

【0067】その理由は、 Al_2O_3 が ZrO_2 のシード層として働くため、 ZrO_2 を均一に成長させることができるからであり、また、 Al_2O_3 が酸素バリアとして働くため、シリコン基板又はポリシリコンに酸素が供給されて界面にシリコン酸化膜が形成されるのを防止することができるからである。

【0068】また、高誘電体薄膜を Al_2O_3 等の非晶質金属酸化物/ ZrO_2 等の結晶性酸化物/ Al_2O_3 等の非晶質金属酸化物の3層構造にすることによって、リーク電流の増加や容量の低下を防止することができる。

【0069】その理由は、 ZrO_2 の上に Al_2O_3 を設けることによって、上層のポリシリコン又は $SiGe$ の成膜時に ZrO_2 が還元雰囲気曝されるのを防止し、不純物イオン注入や熱処理工程において Si と Zr との反応を抑制することができるからである。

【0070】更に、本発明の高誘電体薄膜の成膜装置によれば、水素脱離処理及び誘電体薄膜の成膜にかかる工数を削減し、半導体装置のコストを低減することができる。

【0071】その理由は、本発明のALD装置では、反応室に隣接してランプ加熱により水素の脱離を行う水素

脱離室を別途設け、試料を順次水素脱離室から反応室に搬送することによって加熱温度が異なる場合であっても温度が安定するまで待つことなく、連続して処理を行うことができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るMOSFETのゲート部の構造を模式的に示す断面図である。

【図2】本発明の第1の実施例に係るMOSFETのゲート部の製造方法を示す工程断面図である。

【図3】本発明の第2の実施例に係るMOSFETのゲート部の構造を模式的に示す断面図である。

【図4】本発明の第2の実施例に係るMOSFETのゲート部の製造方法を示す工程断面図である。

【図5】本発明の第2の実施例に係るMOSFETのゲート部の他の構造を模式的に示す断面図である。

【図6】本発明の第3の実施例に係るDRAMのキャパシタ部の構造を模式的に示す断面図である。

【図7】本発明の第3の実施例に係るDRAMのキャパシタ部の製造方法を示す工程断面図である。

【図8】本発明の第4の実施例に係るALD装置の構造を模式的に示す断面図である。

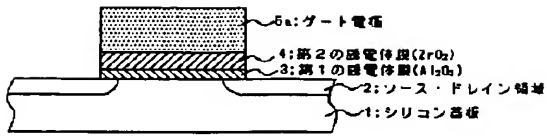
【図9】従来のMOSFETのゲート部の構造を模式的に示す断面図である。

【図10】従来のMOSFETのゲート部の構造を模式的に示す断面図である。

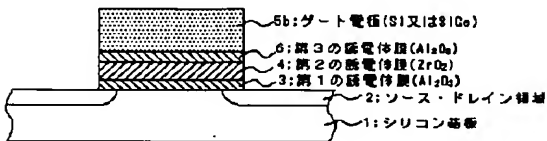
【符号の説明】

- 1 シリコン基板
- 2 ソース・ドレイン領域
- 3 第1の誘電体膜 (Al_2O_3)
- 4 第2の誘電体膜 (ZrO_2)
- 5a ゲート電極 (メタル)
- 5b ゲート電極 (Si 又は $SiGe$)
- 6 第3の誘電体膜 (Al_2O_3)
- 7 プラグ
- 8 絶縁膜
- 9 下部電極 (ポリシリコン)
- 10 上部電極 (ポリシリコン)
- 11 水素脱離室
- 12 反応室
- 13 試料導入室
- 14 真空排気系
- 15 反応ガス導入系
- 16 加熱ランプ
- 17 シリコン酸化膜
- 18 Al_2O_3
- 19 ZrO_2

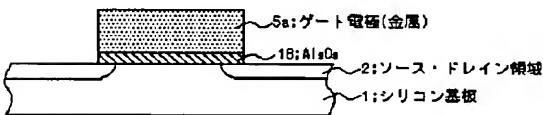
【図 1】



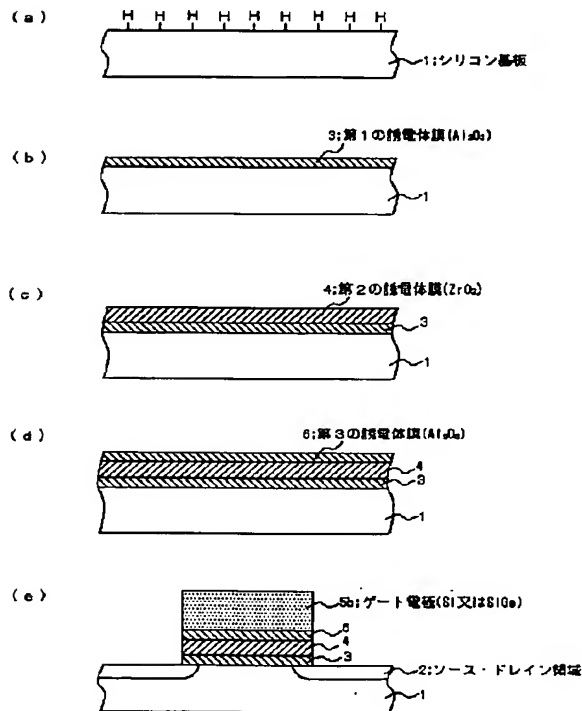
【図 3】



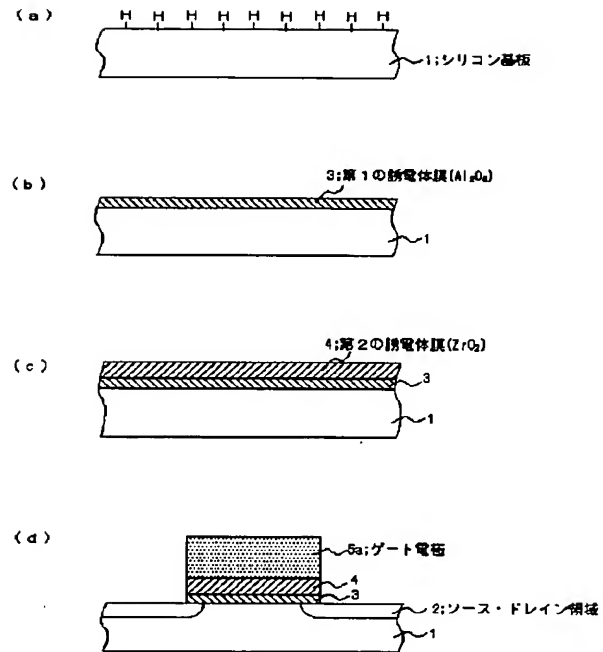
【図 9】



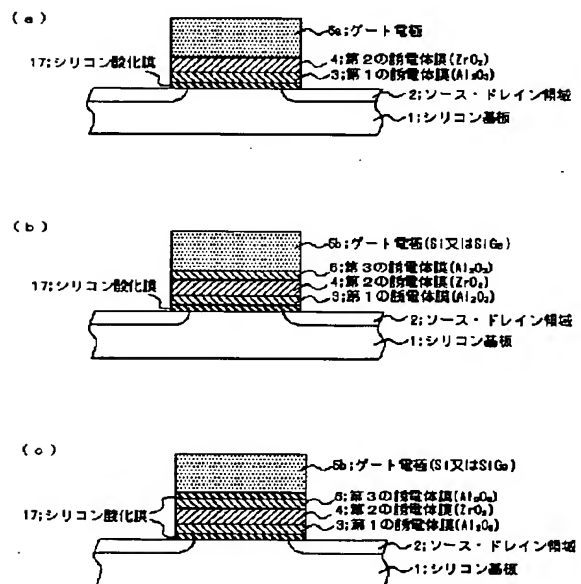
【図 4】



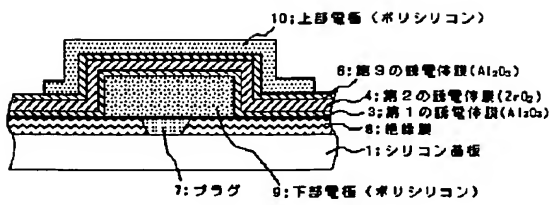
【図 2】



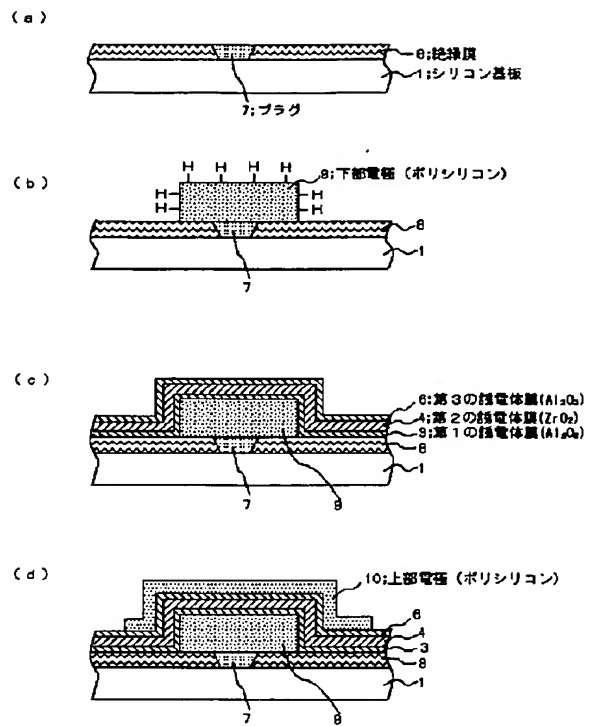
【図 5】



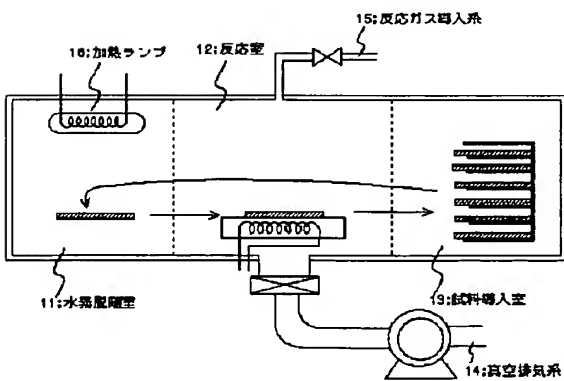
【図6】



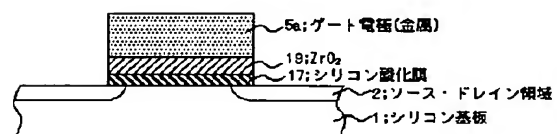
【図7】



【図8】



【図10】



フロントページの続き

F ターム(参考) 4K030 AA01 AA11 BA42 BA43 BB05
CA04 CA12 JA01
5F058 BA06 BA11 BA20 BD01 BD05
BF24 BF27 BF29 BF80 BJ01
5F083 AD56 AD60 GA06 JA02 JA06
JA14 JA15 MA06 MA17 NA01
5F140 AA02 AA19 AA24 AA39 BA01
BD01 BD02 BD11 BD12 BD13
BE01 BE09 BE10 BF01 BF04
BF05 BF10 BG28 BG30 BG32
BG37 BK13

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**